

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office.

出 願 年 月 日      2 0 0 3 年   4 月 2 2 日  
Date of Application:

出 願 番 号      特 願 2 0 0 3 - 1 1 6 8 6 6  
Application Number:  
[ST. 10/C]:      [ J P 2 0 0 3 - 1 1 6 8 6 6 ]

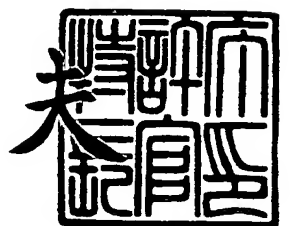
願      人      松下電器産業株式会社  
Applicant(s):

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2 0 0 4 年   4 月 1 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 2924040134

【提出日】 平成15年 4月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/76  
H01L 27/06

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 大谷 充彦

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 同一半導体基板（半導体チップ）の表面に形成されたデジタル回路部と、アナログ回路部と、前記デジタル回路部と前記アナログ回路部との間に配置された、トランジスタのゲートを構成するポリシリコンのダミーレイヤとを備えたことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置において、前記デジタル回路部と前記アナログ回路部との間にダミー領域を設け、前記ダミー領域に電源電位を印加したことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、特に CCD (Charge Coupled Devices) エリアセンサー、CCD リニアセンサー、CMOS センサー、の駆動デジタル回路と前記センサーの出力信号をアナログ処理する回路ならびにそれらを具備した映像機器に関するものである。

【0 0 0 2】

【従来の技術】

CMOS デジタル回路は、信号が High から Low、Low から High に切り替わる際、貫通電流が流れ、チャンネルの電位が過渡的に接地電位よりも低い、あるいは電源電位よりも高い電位になる場合があることが知られている。半導体集積回路にこのような現象が起こると、半導体集積回路内で寄生トランジスタが発生して寄生電流が流れる。同一半導体基板（半導体チップ）の表面に形成されたデジタル回路部とアナログ回路部とを接近して配置した場合、前記寄生電流の影響でアナログ回路部の回路特性の劣化を引き起こす。

【0 0 0 3】

図 5、図 6 は係る従来の半導体集積回路装置を示す平面図と AA 線の断面図である。すなわち、同一半導体基板（半導体チップ）1 の表面にデジタル回路部 2

とアナログ回路部 3 を接近して配置し、両者が隣り合わない側に CMOS トランジスタのゲートを構成する PS (ポリシリコン) を形成する半導体製造工程中のエッチング処理時間を一定にするため、チップ上における PS (ポリシリコン) 面積率を一定にするべく配置するダミーのポリシリコンレイヤ 4 を配置する。デジタル回路部 2 はバックゲートを形成する N-WELL 領域 6 の中に存在する 1 組の P+型チャンネル埋め込み層 7 とゲート電極の PS (ポリシリコン) 層 8 から構成される少なくとも 1 つ以上の P 型 MOS トランジスタと、バックゲートを形成する P-WELL 領域 9 の中に存在する 1 組の N+型チャンネル埋め込み層 10 とゲート電極の PS (ポリシリコン) 層 11 から構成される少なくとも 1 つ以上の N 型 MOS トランジスタとから構成される。アナログ回路部 3 はバックゲートを形成する N-WELL 領域 12 の中に存在する 1 組の P+型チャンネル埋め込み層 13 とゲート電極の PS (ポリシリコン) 層 14 から構成される少なくとも 1 つ以上の P 型 MOS トランジスタと、バックゲートを形成する P-WELL 領域 15 の中に存在する 1 組の N+型チャンネル埋め込み層 16 とゲート電極の PS (ポリシリコン) 層 17 から構成される少なくとも 1 つ以上の N 型 MOS トランジスタとから構成される。

#### 【0004】

尚、そのほかの本発明に係る従来の技術に関する先行文献としては、下記記載の文献 (特許文献 1 および 2 参照) がある。

#### 【0005】

##### 【特許文献 1】

特開昭 56-98839 号公報

##### 【特許文献 2】

特開平 7-135299 号公報

#### 【0006】

##### 【発明が解決しようとする課題】

すると図 6 に示すように、基板 1 をベースとする寄生トランジスタ 18 のエミッタとなるデジタル回路部 2 のバックゲートを形成する N-WELL 領域 6 と寄生トランジスタ 18 のコレクタとなるアナログ回路部 3 のバックゲートを形成す

るN-WE L L領域12との距離が比較的近く、その間の基板1の抵抗成分が小さいため、寄生トランジスタ18の逆h F Eが比較的大きくなり、アナログ回路部のバックゲートを形成するN-WE L L領域12から引き込まれる寄生電流 $i_c$ が比較的大きくなる。この寄生電流 $i_c$ が大きくなるとアナログ回路部3のバックゲートを形成するN-WE L L領域12の電位変動が比較的大きくなり、従って係るアナログ回路部3の回路特性の劣化が顕著となる問題を有する。

#### 【0007】

寄生トランジスタ18の逆h F Eの大きさは、デジタル回路部2とアナログ回路部3との距離で定められ、距離の大きいほうが基板1の抵抗成分により逆h F Eが小さくなるので、寄生電流 $i_c$ も小さくなる。この寄生電流 $i_c$ が小さくなれば、アナログ回路部3のバックゲートを形成するN-WE L L領域12の電位変動を小さくできるので、アナログ回路部3の回路特性の劣化も防止できる。そこで図7に示すようなデジタル回路部2とアナログ回路部3との距離を単純に大きくすることも考えられるが、それだけチップサイズを増大させる問題を有する。

#### 【0008】

本発明は、この様な問題を解決するもので、その目的とするところはデジタル回路部の貫通電流により、チャンネル電位が過渡的に接地電位よりも低い、あるいは電源電位よりも高い電位になる場合でも、同一半導体基板（半導体チップ）に配置されているアナログ回路部の回路特性が劣化することを防止し、しかもチップサイズを増大させることなく実現可能な半導体集積回路装置ならびにそれを備えたC C Dカメラを提供するものである。

#### 【0009】

##### 【課題を解決するための手段】

上記課題を解決するために本発明は、C M O Sトランジスタのゲートを構成するP S（ポリシリコン）を形成する半導体製造工程中のエッチング処理時間を一定にするため、チップ上におけるP S（ポリシリコン）面積率を一定にするべく配置するダミーのポリシリコンレイヤを、ロジック回路部とアナログ回路部との間に配置することを特徴とする。

## 【0010】

寄生トランジスタのエミッタとなるデジタル回路部のバックゲートを形成するN-WELL領域と、寄生トランジスタのコレクタとなるアナログ回路部のバックゲートを形成するN-WELL領域との距離が極めて遠くなるので、基板の抵抗成分が極めて大になり、寄生トランジスタの逆hFEが極めて小さくなる。従って、アナログ回路部のバックゲートから引き込まれる寄生電流が極めて小さく、あるいは皆無となる。

## 【0011】

## 【発明の実施の形態】

本発明の一実施形態について図面を参照して説明する。

## 【0012】

図1は本発明にかかる半導体集積回路装置を示すための平面図である。例としてCCDエリアセンサーの駆動タイミングジェネレータ回路とアナログ前処理回路とを集積した回路装置を挙げる。同図においてP型半導体基板（半導体チップ）1の表面にはCCDエリアセンサーの水平走査・垂直走査の駆動タイミング、水平駆動回路、またアナログ前処理用高速パルスタイミング等を司るデジタル回路部2と、CCDエリアセンサーから出力される映像信号からノイズを除去する回路、信号振幅を調整する回路、デジタルに変換するADコンバータ回路等が搭載されるアナログ回路部3とが配置される。前記デジタル回路部2とアナログ回路部3との間にはCMOSトランジスタのゲートを構成するPS（ポリシリコン）を形成する半導体製造工程中のエッチング処理時間を一定にするため、チップ上におけるPS（ポリシリコン）面積率を一定にするべく配置するダミーのポリシリコンレイヤ4を配置する。図2は図1のAA線断面図である。同図において、デジタル回路部2はバックゲートを形成するN-WELL領域6の中に存在する1組のP+型チャンネル埋め込み層7とゲート電極のPS（ポリシリコン）層8から構成される少なくとも1つ以上のP型MOSトランジスタをアナログ回路部3から遠ざけるように配置したものと、バックゲートを形成するP-WELL領域9の中に存在する1組のN+型チャンネル埋め込み層10とゲート電極のPS（ポリシリコン）層11から構成される少なくとも1つ以上のN型MOSトラ

ンジスタとから構成される。アナログ回路部 3 はバックゲートを形成する N-WELL 領域 12 の中に存在する 1 組の P+型チャンネル埋め込み層 13 とゲート電極の PS (ポリシリコン) 層 14 から構成される少なくとも 1 つ以上の P 型 MOS トランジスタをデジタル回路部 2 から遠ざけるように配置したものと、バックゲートを形成する P-WELL 領域 15 の中に存在する 1 組の N+型チャンネル埋め込み層 16 とゲート電極の PS (ポリシリコン) 層 17 から構成される少なくとも 1 つ以上の N 型 MOS トランジスタとから構成される。

#### 【0013】

以上の配置によれば、寄生トランジスタ 18 のエミッタとなるデジタル回路部 2 における P 型 MOS トランジスタのバックゲートを形成する N-WELL 領域 6 と、寄生トランジスタ 18 のコレクタとなるアナログ回路部 3 における P 型 MOS トランジスタのバックゲートを形成する N-WELL 領域 12 との距離が極めて遠くなるので、基板の抵抗成分が極めて大になり、寄生トランジスタ 18 の逆  $hFE$  が極めて小さくなる。従って、アナログ回路部 3 のバックゲートから引き込まれる寄生電流  $i_c$  が極めて小さく、あるいは皆無となり、アナログ回路部 3 における P 型 MOS トランジスタのバックゲートを形成する N-WELL 領域 12 の電位変動が極めて小さくなるので、アナログ回路部 3 における回路特性の劣化を防止することができる。

#### 【0014】

また、図 3 の平面図と図 3 の AA 線断面図である図 4 とに示す別の実施形態として、ダミーのポリシリコンレイヤ 4 とアナログ回路部 3 との間に更に N-WELL のダミー領域 5 を配置し、このダミー領域 5 に電源電位 20 を印加する。すると寄生トランジスタ 18 のコレクタ電流の大部分をこのダミー領域 5 から供給する (図示  $i_d$ ) ことになり、かつデジタル回路部 2 とアナログ回路部 3 との距離が更に離れることになるので、アナログ回路部 3 のバックゲートから引き込まれる寄生電流  $i_c$  が更に小さくなり、アナログ回路部 3 における P 型 MOS トランジスタのバックゲートを形成する N-WELL 領域 12 の電位変動も更に小さくなるので、アナログ回路部 3 における回路特性劣化の防止が更に強固なものになる。



**【0015】****【発明の効果】**

以上説明したように本発明の半導体集積回路装置では、アナログ回路部3のバックゲートから引き込まれる寄生電流  $i_c$  が極めて小さく、あるいは皆無となり、アナログ回路部3におけるP型MOSトランジスタのバックゲートを形成するN-WELL領域12の電位変動が極めて小さくなるので、アナログ回路部3における回路特性の劣化を防止することができ、係るアナログ回路部の回路特性劣化に起因するCCDカメラにおける画像劣化を防止することができる高性能な半導体集積回路装置を提供する効果を有する。

**【0016】**

更に、面積率を一定にすべく配置するダミーのポリシリコンレイヤ4を半導体基板（半導体チップ）1上の他の領域に配置する必要が無くなるので、その分だけチップサイズを縮小でき、コストダウンを図れる効果を有する。

**【図面の簡単な説明】****【図1】**

本発明の実施形態を示す平面図

**【図2】**

本発明の実施形態を示す断面図

**【図3】**

他の実施形態を示す平面図

**【図4】**

他の実施形態を示す断面図

**【図5】**

従来例を示す平面図

**【図6】**

従来例を示す断面図

**【図7】**

他の従来例を示す平面図

**【符号の説明】**

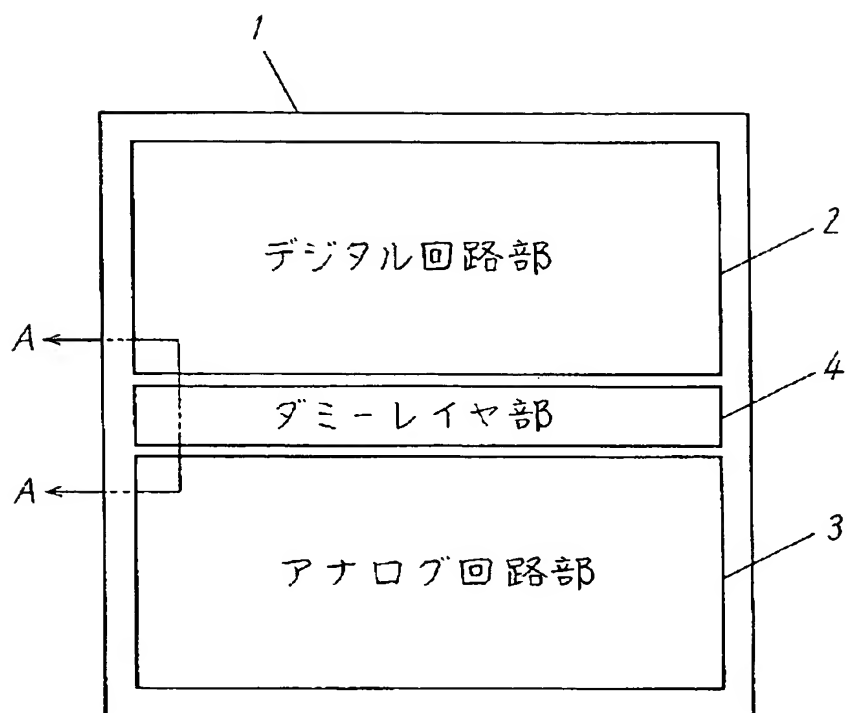
- 1 半導体基板（半導体チップ）
- 2 デジタル回路部
- 3 アナログ回路部
- 4 面積率を一定にすべく配置するダミーのポリシリコンレイヤ
- 5 N-WELL ダミー領域
- 6 デジタル回路部における P 型 MOS トランジスタのバックゲートを形成する N-WELL 領域
- 7 デジタル回路部における P 型 MOS トランジスタのチャンネルを形成する P+埋め込み層
- 8 デジタル回路部における P 型 MOS トランジスタのゲート電極ポリシリコン層
- 9 デジタル回路部における N 型 MOS トランジスタのバックゲートを形成する P-WELL 領域
- 10 デジタル回路部における N 型 MOS トランジスタのチャンネルを形成する N+埋め込み層
- 11 デジタル回路部における N 型 MOS トランジスタのゲート電極ポリシリコン層
- 12 アナログ回路部における P 型 MOS トランジスタのバックゲートを形成する N-WELL 領域
- 13 アナログ回路部における P 型 MOS トランジスタのチャンネルを形成する P+埋め込み層
- 14 アナログ回路部における P 型 MOS トランジスタのゲート電極ポリシリコン層
- 15 アナログ回路部における N 型 MOS トランジスタのバックゲートを形成する P-WELL 領域
- 16 アナログ回路部における N 型 MOS トランジスタのチャンネルを形成する N+埋め込み層
- 17 アナログ回路部における N 型 MOS トランジスタのゲート電極ポリシリコン層

1 8 寄生トランジスタ

【書類名】

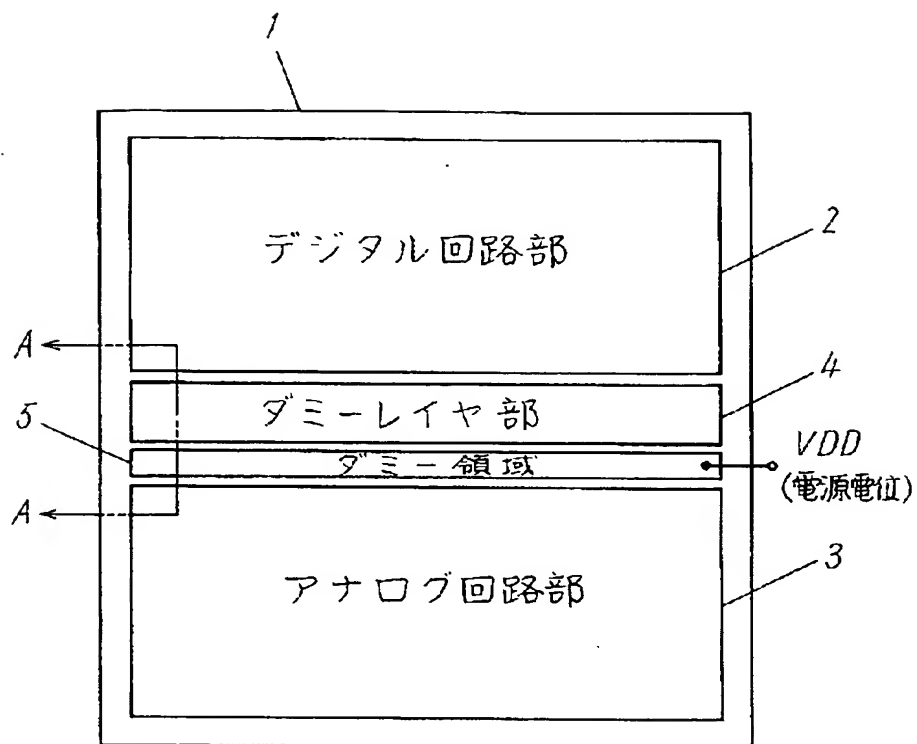
図面

【図 1】

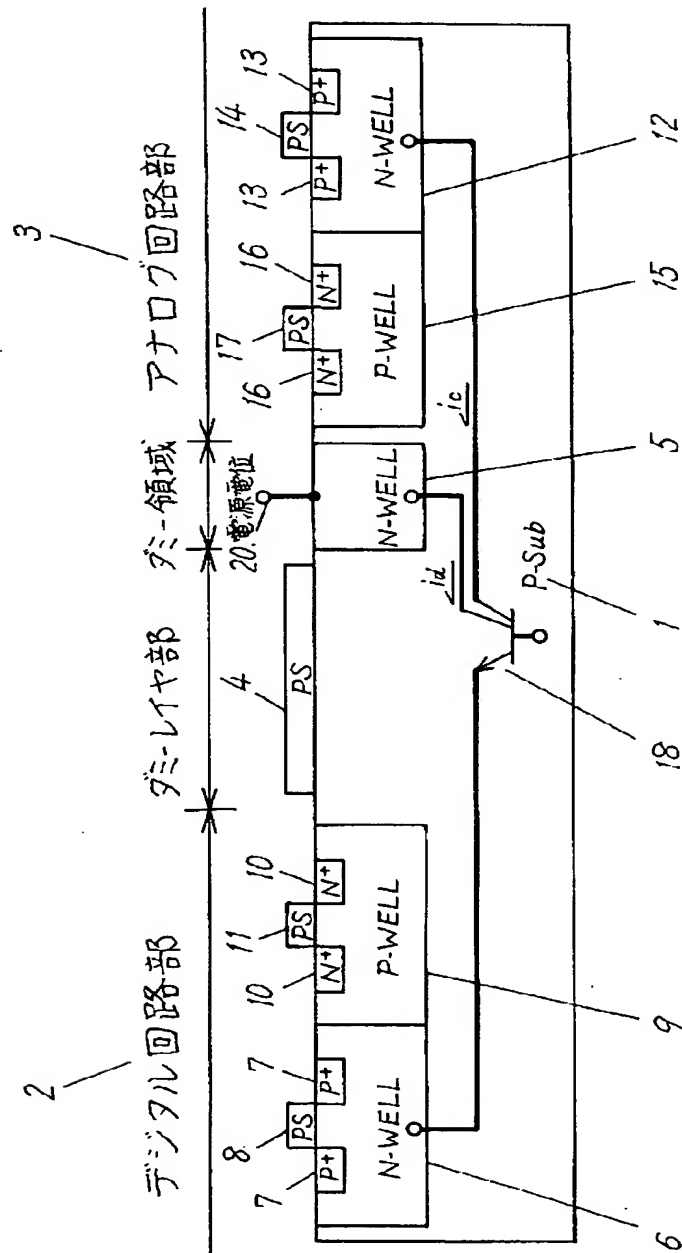




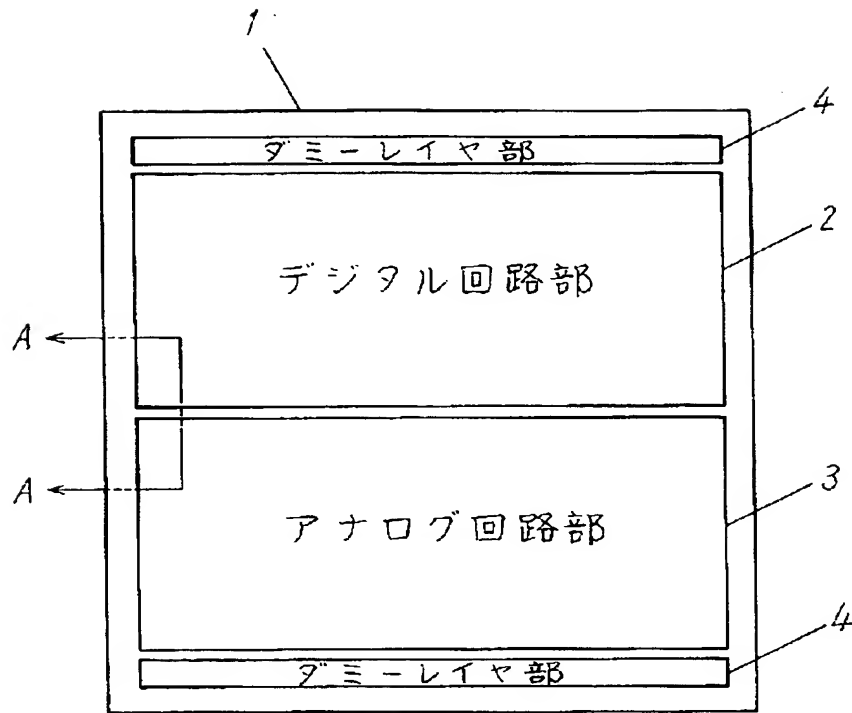
【図 3】



【図 4】

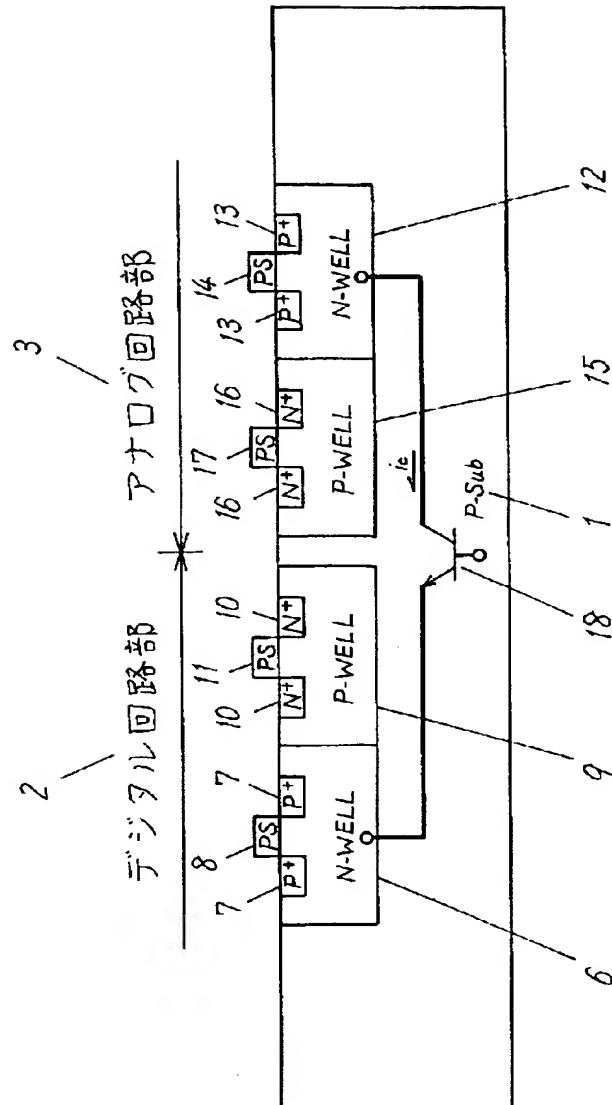


【図 5】

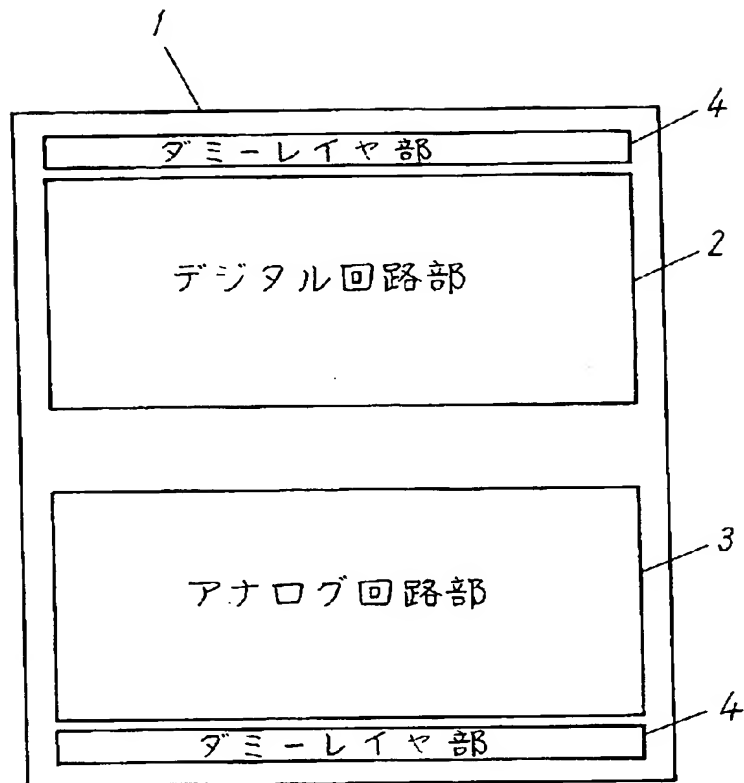




【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 デジタル回路部の貫通電流により、チャンネル電位が過渡的に接地電位よりも低い、あるいは電源電位よりも高い電位になる場合でも、同一半導体基板（半導体チップ）に配置されているアナログ回路部の回路特性が劣化することを防止し、しかもチップサイズを増大させることなく実現可能な半導体集積回路装置ならびにそれを備えたＣＣＤカメラを提供すること。

【解決手段】 同一半導体基板 1 の表面に形成されたデジタル回路部 2 とアナログ回路部 3 と、デジタル回路部 2 とアナログ回路部 3 との間に、トランジスタのゲートを構成するポリシリコンのダミーレイヤ 4 を配置する。

【選択図】 図 1

特願 2 0 0 3 - 1 1 6 8 6 6

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 8 2 1 ]

1. 変更年月日	1 9 9 0 年 8 月 2 8 日
[変更理由]	新規登録
住 所	大阪府門真市大字門真 1 0 0 6 番地
氏 名	松下電器産業株式会社